

A496

PCT/JP2005/011331

27.6.2005 PCT

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 6月23日

出願番号
Application Number: 特願2004-184758

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 1 8 4 7 5 8

出願人
Applicant(s): 日本電気株式会社

2005年 5月23日

特許庁長官
Commissioner,
Japan Patent Office

小川

洋

【書類名】 特許願
【整理番号】 34002410
【提出日】 平成16年 6月23日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7番 1号 日本電気株式会社内
 【氏名】 高橋 健介
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7番 1号 日本電気株式会社内
 【氏名】 間部 謙三
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7番 1号 日本電気株式会社内
 【氏名】 五十嵐 信行
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7番 1号 日本電気株式会社内
 【氏名】 辰巳 徹
【特許出願人】
 【識別番号】 000004237
 【氏名又は名称】 日本電気株式会社
【代理人】
 【識別番号】 100083839
 【弁理士】
 【氏名又は名称】 石川 泰男
 【電話番号】 03-5443-8461
【選任した代理人】
 【識別番号】 100109139
 【弁理士】
 【氏名又は名称】 今井 孝弘
 【電話番号】 03-5443-8461
【手数料の表示】
 【予納台帳番号】 007191
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0116381

【書類名】特許請求の範囲

【請求項 1】

シリコン基板上に、ゲート絶縁膜とゲート電極とをこの順に有する半導体装置において
前記ゲート絶縁膜が、金属酸化物、金属シリケート、または、金属酸化物もしくは金属
シリケートに窒素が導入された高誘電率絶縁膜を含み、

前記ゲート電極の少なくとも前記ゲート絶縁膜に接する部分の組成が、 $M_x Si_{1-x}$
($0 < x < 1$) で表される金属Mのシリサイドを主成分とし、さらに、

pチャネル上のゲート電極に含まれる前記金属Mのシリサイドでは $x > 0.5$ 、nチャネル
上のゲート電極に含まれる金属Mのシリサイドでは $x \leq 0.5$ であることを特徴とする
半導体装置。

【請求項 2】

前記高誘電率絶縁膜が Hf もしくは Zr を含むことを特徴とする請求項 1 に記載の半導
体装置。

【請求項 3】

前記高誘電率絶縁膜の前記ゲート電極と接する部分に、 Hf もしくは Zr を含む層を有
することを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記高誘電率絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、 Hf もしくは Zr
を含む層の積層構造であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記高誘電率絶縁膜が $HfSiON$ を含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記高誘電率絶縁膜の前記ゲート電極と接する部分に、 $HfSiON$ 層を有することを
特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記高誘電率絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、 $HfSiON$ 層
の積層構造であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記金属Mが、サリサイドプロセスが可能であるシリサイドを形成し得る金属であるこ
とを特徴とする請求項 1 から 7 に記載の半導体装置。

【請求項 9】

前記金属Mが、 Ni であることを特徴とする請求項 1 から 7 に記載の半導体装置。

【請求項 10】

前記金属Mが Ni であるシリサイドの、前記ゲート絶縁膜に接する部分の組成が $Ni_x Si_{1-x}$
($0 < x < 1$) で表されるとき、pチャネル上のゲート電極に含まれる前記シリサイド
では $0.6 \leq x < 1$ 、かつ、nチャネル上のゲート電極に含まれる前記シリサイドでは
 $0 < x \leq 0.5$ であることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

pチャネル上のゲート電極に含まれる前記シリサイドが、少なくとも前記ゲート絶縁膜に
接する部分において、 Ni_3Si 相を主成分として含み、nチャネル上のゲート電極に含
まれる前記シリサイドが、少なくとも前記ゲート絶縁膜に接する部分において、 $NiSi$
相もしくは $NiSi_2$ 相を主成分として含むことを特徴とする請求項 9 に記載の半導体装置。

【請求項 12】

シリコン基板上に、ゲート絶縁膜とゲート電極とをこの順に有する半導体装置において
、少なくとも、前記ゲート電極の前記ゲート絶縁膜に接する部分が Ni_3Si 相を主成分
として含むシリサイドで構成されることを特徴とする半導体装置。

【請求項 13】

前記ゲート絶縁膜が、金属酸化物、金属シリケート、金属酸化物もしくは金属シリケートに窒素が導入された高誘電率絶縁膜を含むこと特徴とする請求項12に記載の半導体装置。

【請求項14】

前記高誘電率絶縁膜がHfもしくはZrを含むことを特徴とする請求項13に記載の半導体装置。

【請求項15】

前記高誘電率絶縁膜の前記ゲート電極と接する部分に、HfもしくはZrを含む層を有することを特徴とする請求項13に記載の半導体装置。

【請求項16】

前記高誘電率絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、HfもしくはZrを含む層の積層構造であることを特徴とする請求項13に記載の半導体装置。

【請求項17】

前記高誘電率絶縁膜がHfSiONを含むことを特徴とする請求項13に記載の半導体装置。

【請求項18】

前記高誘電率絶縁膜の前記ゲート電極と接する部分に、HfSiON層を有することを特徴とする請求項13に記載の半導体装置。

【請求項19】

前記高誘電率絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、HfSiON層の積層構造であることを特徴とする請求項13に記載の半導体装置。

【請求項20】

前記ゲート電極がP型MOSFETに用いられることを特徴とする請求項12から19に記載の半導体装置。

【請求項21】

前記ゲート絶縁膜上に多結晶シリコン(poly-Si)を堆積し、それを所望のゲート寸法に加工する工程と、

その上方に前記金属Mを成膜する工程と、

それらを熱処理することによって、前記ゲート絶縁膜上のゲート電極全体を前記金属Mのシリサイドとする工程と、

シリサイド化しなかった金属部分を選択的にエッチング除去する工程とを含み、前記金属Mの膜厚を、pチャネル素子上ではpoly-Siと金属Mが反応してシリサイド化した時に前記ゲート絶縁膜に接する部分の組成が M_xSi_{1-x} ($0.5 < x < 1$)となるような膜厚 t_1 とし、nチャネル素子上ではpoly-Siと金属Mが反応してシリサイド化した時に前記ゲート絶縁膜に接する部分の組成が M_xSi_{1-x} ($0 < x \leq 0.5$)となるような膜厚 t_2 とすることを特徴とする請求項1から9に記載の半導体装置の製造方法。

【請求項22】

前記ゲート絶縁膜上にpoly-Siを堆積し、それを所望のゲート寸法に加工する工程と、

その上方にNiを成膜する工程と、

それらを熱処理することによって、前記ゲート絶縁膜上のゲート電極全体をNiシリサイドとする工程と、

シリサイド化しなかったNi金属部分を選択的にエッチング除去する工程とを含み、Niの膜厚を、pチャネル素子上ではpoly-SiとNiが反応してシリサイド化した時に前記ゲート絶縁膜に接する部分の組成が Ni_xSi_{1-x} ($0.6 \leq x < 1$)となるような膜厚 t_1 とし、nチャネル素子上ではpoly-SiとNiが反応してシリサイド化した時に前記ゲート絶縁膜に接する部分の組成が Ni_xSi_{1-x} ($0 < x \leq 0.5$)となるような膜厚 t_2 とすることを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項23】

前記ゲート絶縁膜上に $p\text{ol}\text{y}-\text{Si}$ を堆積し、それを所望のゲート寸法に加工する工程と、

その上方に Ni を成膜する工程と、

それらを熱処理することによって、前記ゲート絶縁膜上のゲート電極全体を Ni シリサイドとする工程と、

シリサイド化しなかった Ni 金属部分を選択的にエッチング除去する工程とを含み、 Ni の膜厚を、 p チャネル素子上では $p\text{ol}\text{y}-\text{Si}$ と Ni が反応してシリサイド化した時に Ni_3Si 相を主成分として含むような膜厚 t_1 とし、 n チャネル素子上では $p\text{ol}\text{y}-\text{Si}$ と Ni が反応してシリサイド化した時に NiSi 相もしくは NiSi_2 相を主成分として含むような膜厚 t_2 とすることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 24】

前記 Ni の膜厚 T_{Ni} と前記 $p\text{ol}\text{y}-\text{Si}$ の膜厚 T_{Si} との比を $T_{\text{Ni}}/T_{\text{Si}} \geq 1.60$ とすることで Ni_3Si 相を主成分として含む前記シリサイド電極を得る請求項 23 に記載の半導体装置の製造方法。

【請求項 25】

前記 Ni の膜厚 T_{Ni} と前記 $p\text{ol}\text{y}-\text{Si}$ の膜厚 T_{Si} との比を $0.55 \leq T_{\text{Ni}}/T_{\text{Si}} \leq 0.95$ とすることで NiSi 相を主成分として含む前記シリサイド電極を得る請求項 23 に記載の半導体装置の製造方法。

【請求項 26】

前記 Ni の膜厚 T_{Ni} と前記 $p\text{ol}\text{y}-\text{Si}$ の膜厚 T_{Si} との比を $0.28 \leq T_{\text{Ni}}/T_{\text{Si}} \leq 0.54$ とし、かつシリサイド化のための熱処理温度を 650°C 以上とすることで NiSi_2 相を主成分として含む前記シリサイド電極を得る請求項 23 に記載の半導体装置の製造方法。

【請求項 27】

前記金属 M もしくは Ni を成膜する工程が、 n チャネル素子上と p チャネル素子上に膜厚 t_2 を堆積した後、 n チャネル素子上にのみ金属 M もしくは Ni に対して安定な拡散防止層を形成し、かかる後に膜厚 $t_1 - t_2$ を堆積する、という工程からなることを特徴とする請求項 21 から 23 に記載の半導体装置の製造方法。

【請求項 28】

前記拡散防止層が前記金属 M のシリサイドに対して選択的にエッチングできることを特徴とする請求項 27 に記載の半導体装置の製造方法。

【請求項 29】

前記拡散防止層が TiN もしくは TaN を主成分とすることを特徴とする請求項 27 に記載の半導体装置の製造方法。

【請求項 30】

前記シリサイド化の熱処理温度が半導体装置の拡散層コンタクト領域に形成されている金属シリサイドの抵抗値を増大させない温度であることを特徴とする請求項 21 から 29 に記載の半導体装置の製造方法。

【請求項 31】

前記ゲート絶縁膜上に $p\text{ol}\text{y}-\text{Si}$ を堆積し、それを所望のゲート寸法に加工する工程と、

その上方に Ni を成膜する工程と、

それらを熱処理することによって、前記ゲート絶縁膜上のゲート電極全体を Ni シリサイドとする工程と、

シリサイド化しなかった Ni 金属部分を選択的にエッチング除去する工程とを含み、前記 Ni の膜厚 T_{Ni} と前記 $p\text{ol}\text{y}-\text{Si}$ の膜厚 T_{Si} との比が $T_{\text{Ni}}/T_{\text{Si}} \geq 1.60$ となることを特徴とする請求項 12 から 20 に記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0001】

本発明は高誘電率絶縁膜を有する半導体装置ならびにその製造方法に関するものであり、特にMOSFET (Metal Oxide Semiconductor Field Effect Transistor) の高性能化と高信頼性化に関する技術である。

【背景技術】

【0002】

トランジスタの微細化が進む先端CMOS (相補型MOS) デバイスの開発ではポリシリコン (poly-Si) 電極の空乏化による駆動電流の劣化とゲート絶縁膜の薄膜化によるゲートリーコン電流の増加が問題となっている。そこで、メタルゲート電極の適用により電極の空乏化を回避すると同時に、ゲート絶縁膜に高誘電率材料を用いて物理膜厚を厚くすることでゲートリーコン電流を低減する複合技術が検討されている。

【0003】

メタルゲート電極に用いる材料として、純金属や金属窒化物あるいはシリサイド材料等が検討されているが、いずれの場合においても、N型MOSFET、P型MOSFETのしきい値電圧 (V_{th}) を適切な値に設定可能でなければならない。

【0004】

CMOSトランジスタで±0.5eV以下の V_{th} を実現するためには、N型MOSFETでは仕事関数がSiのミッドギャップ (4.6eV) 以下、望ましくは4.4eV以下の材料を、P型MOSFETでは仕事関数がSiのミッドギャップ (4.6eV) 以上、望ましくは4.8eV以上の材料をゲート電極に用いる必要がある。

【0005】

これらを実現する手段として、異なる仕事関数を持った異種の金属あるいは合金をN型MOSFET、P型MOSFETの電極にそれぞれ使い分けることでトランジスタの V_{th} を制御する方法 (デュアルメタルゲート技術) が提案されている。

【0006】

例えば、非特許文献1には、SiO₂上に形成したTaとRuの仕事関数はそれぞれ4.15eVと4.95eVでありこの二つの電極間で0.8eVの仕事関数変調可能であると述べられている。

【0007】

また、poly-Si電極をNi、Hf、Wなどで完全にシリサイド化したシリサイド電極に関する技術が最近注目されている。例えば、非特許文献2および非特許文献3には、図2 (b) に示すような、ゲート絶縁膜にSiO₂を用い、ゲート電極として、PやBなどの不純物を注入したpoly-Si電極をNiで完全にシリサイド化したNiシリサイド電極 (PドープNiSi, BドープNiSi) を用いることにより、電極の仕事関数を最大で0.5eV変調させる技術が開示されている。この技術の特徴はCMOSのソース・ドレイン拡散層領域の不純物活性化のための高温熱処理を行った後にpoly-Si電極をシリサイド化することが可能であり、従来のCMOSプロセスと整合性が高いという利点がある。

【0008】

また、同文献には、ゲート絶縁膜としてSiONを用いた場合、ゲート電極として作製されたNiSiとNiSi₂の仕事関数がそれぞれ約4.6eV、4.45eVであることが開示されている。

【0009】

また、特許文献1には、図2 (c) に示すように、ゲート電極材料にWあるいはWシリサイドを用いて、置換ゲートプロセスにより作製した、N型MOSFETとP型MOSFETの V_{th} を制御するために、WとWシリサイドをゲート電極として使い分けるか、あ

あるいはWシリサイドの組成を変化させるという技術が開示されている。すなわち、WあるいはWシリサイド膜を全面に堆積し、その後、W膜上にSi_i膜を、Wシリサイド膜上にW膜を堆積した後、P型MOSFET領域のW膜上のSi膜を、あるいは、N型MOSFET領域のWシリサイド上のW膜を除去する。その後、熱処理によりW膜とSi膜、あるいは、Wシリサイド膜とW膜を反応させて、N型MOSFET領域とP型MOSFET領域にWシリサイドとW電極を作り分けるか、あるいは、Wシリサイドの組成を変えることでゲート電極の仕事関数を制御するものである。

【特許文献1】特開2003-258121号公報

【非特許文献1】インターナショナル・エレクトロン・デバイス・ミーティング・テクニカルダイジェスト (International electron devices meeting technical digest) 2002, p. 359

【非特許文献2】インターナショナル・エレクトロン・デバイス・ミーティング・テクニカルダイジェスト (International electron devices meeting technical digest) 2002, p. 247

【非特許文献3】インターナショナル・エレクトロン・デバイス・ミーティング・テクニカルダイジェスト (International electron devices meeting technical digest) 2003, p. 315

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、上記の技術にはそれぞれ以下のような問題点が存在する。異なる仕事関数を持った異種の金属あるいは合金を作り分けるデュアルメタルゲート技術は、P型MOSFETとN型MOSFETのどちらかのゲート上に堆積された層をエッティング除去するプロセスが必要であり、エッティングの際にゲート絶縁膜の品質を劣化させてしまうため、素子の特性や信頼性が損なわれる。

【0011】

また、不純物がドープされたシリサイド電極でV_{th}を変調する技術は、後述する比較例2で述べるように、ゲート絶縁膜に高誘電率材料を用いた場合には、ゲート電極の仕事関数を制御できない。

【0012】

NiSiとNiSi₂を作り分けることによって仕事関数を変調させる技術は、仕事関数の変化方向が仕事関数が小さくなる方向でありP型MOSFETへの適用が困難である点と、後述する実施例1で説明するように、ゲート絶縁膜として高誘電率絶縁膜を用いた場合には、両者の仕事関数の差が0.1eV以下となり、変調効果が抑制されてしまうという点が問題点として挙げられる。

【0013】

さらに、Wシリサイドの組成を変化させてゲート電極の仕事関数を変える技術は、Wシリサイドを形成するための熱処理温度が500℃以上と高く、ソース・ドレイン拡散領域に形成されたシリサイド層が高抵抗化してしまう問題がある。また、Wシリサイドの組成比と仕事関数がリニアな関係にあるため、組成比のわずかなずれ（即ちWやSiの成膜膜厚のずれや面内分布など）が仕事関数のばらつきとなって現れ、素子の再現性や均一性を低下させる可能性がある。さらに、W膜とSi膜を反応させてSi濃度の高いWシリサイドを形成する場合、ゲート絶縁膜／電極界面で剥がれが生じる恐れもある。

【0014】

本発明は、上記従来の課題に対してなされたものであり、上述した問題を改善し、素子の特性や信頼性を向上させることができ可能な半導体装置およびその製造方法を提供することを目的としている。

【課題を解決するための手段】

【0015】

本発明に係わる第一の半導体装置は、シリコン基板上に、ゲート絶縁膜とゲート電極とをこの順に有する半導体装置において、前記ゲート絶縁膜が、金属酸化物、金属シリケート、または、金属酸化物もしくは金属シリケートに窒素が導入された高誘電率絶縁膜を含み、前記ゲート電極の少なくとも前記ゲート絶縁膜に接している部分の組成が、 $M_x Si_{1-x}$ ($0 < x < 1$) で表される金属Mのシリサイドを主成分とし、さらに、pチャネル上のゲート電極に含まれる前記金属Mのシリサイドでは $x > 0.5$ 、nチャネル上のゲート電極に含まれる金属Mのシリサイドでは $x \leq 0.5$ であることを特徴としている。

【0016】

本発明に係わる半導体装置において、好ましくは、前記高誘電率絶縁膜は、 Hf もしくは Zr を含む。または、前記ゲート電極と接する部分に、 Hf もしくは Zr を含む層を有する。または、前記高誘電率絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、 Hf もしくは Zr を含む層の積層構造である。あるいは、前記高誘電率絶縁膜が窒化ハフニウムシリケート ($HfSiON$) を含む。または、前記ゲート電極と接する部分に $HfSiON$ 層を有する。あるいは、前記高誘電率絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、 $HfSiON$ 層の積層構造である。

【0017】

さらに好ましくは、前記金属Mが、サリサイドプロセスが可能であるシリサイドを形成し得る金属である。

【0018】

さらに好ましくは、前記金属Mが、 Ni である。

【0019】

さらに好適なのは、前記金属Mが Ni である場合、シリサイドの、前記ゲート絶縁膜に接する部分の組成が $Ni_x Si_{1-x}$ ($0 < x < 1$) で表されるとき、pチャネル上のゲート電極に含まれる前記シリサイドでは $0.6 \leq x < 1$ 、かつ、nチャネル上のゲート電極に含まれる前記シリサイドでは $0 < x \leq 0.5$ である。あるいは、pチャネル上のゲート電極に含まれる前記シリサイドが、少なくとも前記ゲート絶縁膜に接する部分において、 $Ni_3 Si$ 相を主成分として含み、nチャネル上のゲート電極に含まれる前記シリサイドが、少なくとも前記ゲート絶縁膜に接する部分において、 $NiSi$ 相もしくは $NiSi_2$ 相を主成分として含む。

【0020】

さらに、本発明に係わる別の半導体装置は、シリコン基板上に、ゲート絶縁膜とゲート電極とをこの順に有する半導体装置において、前記ゲート電極の少なくとも前記ゲート絶縁膜に接する部分が $Ni_3 Si$ 相を主成分として含むシリサイドで構成されることを特徴とする。

【0021】

この半導体装置において、好ましくは、前記ゲート絶縁膜が、金属酸化物、金属シリケート、金属酸化物もしくは金属シリケートに窒素が導入された高誘電率絶縁膜を含む。

【0022】

さらに好ましくは、前記高誘電率絶縁膜は、 Hf もしくは Zr を含む。または、前記高誘電率絶縁膜の前記ゲート電極と接する部分に、 Hf もしくは Zr を含む層を有する。または、前記高誘電率絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、 Hf もしくは Zr を含む層の積層構造である。あるいは、前記高誘電率絶縁膜が $HfSiON$ を含む。または、前記高誘電率絶縁膜の前記ゲート電極と接する部分に、 $HfSiON$ 層を有する。あるいは、前記高誘電率絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、 $HfSiON$ 層の積層構造である。

【0023】

また、好ましくは、前記ゲート電極がP型MOSFETに用いられる。

【0024】

本発明に係わる前記第一の半導体装置を実現する手段としては、前記ゲート絶縁膜上に多結晶シリコン (p o l y-S i) を堆積し、それを所望のゲート寸法に加工する工程と、その上方に前記金属Mを成膜する工程と、それらを熱処理することによって、前記ゲート絶縁膜上のゲート電極全体を前記金属Mのシリサイドとする工程と、シリサイド化しなかった金属部分を選択的にエッチング除去する工程とを含み、前記金属Mの膜厚を、pチャネル素子上では p o l y-S i と金属Mが反応してシリサイド化した時に前記ゲート絶縁膜に接する部分の組成が $M_x S i_{1-x}$ ($0.5 < x < 1$) となるような膜厚 t_1 とし、nチャネル素子上では p o l y-S i と金属Mがすべて反応してシリサイド化した時に前記ゲート絶縁膜に接している側の組成が $M_x S i_{1-x}$ ($0 < x \leq 0.5$) となるような膜厚 t_2 とする。

【0025】

あるいは、前記ゲート絶縁膜上に p o l y-S i を堆積し、それを所望のゲート寸法に加工する工程と、その上方に N i を成膜する工程と、それらを熱処理することによって、前記ゲート絶縁膜上のゲート電極全体を N i シリサイドとする工程と、シリサイド化しなかった N i 金属部分を選択的にエッチング除去する工程とを含み、N i の膜厚を、pチャネル素子上では p o l y-S i と N i が反応してシリサイド化した時に前記ゲート絶縁膜に接する部分の組成が $N i_x S i_{1-x}$ ($0.6 \leq x < 1$) となるような膜厚 t_1 とし、nチャネル素子上では p o l y-S i と N i がすべて反応してシリサイド化した時に前記ゲート絶縁膜に接する部分の組成が $N i_x S i_{1-x}$ ($0 < x \leq 0.5$) となるような膜厚 t_2 とする。

【0026】

あるいは、前記工程における N i の膜厚を、pチャネル素子上では p o l y-S i と N i が反応してシリサイド化した時に $N i_3 S i$ 相を主成分として含むような膜厚 t_1 とし、nチャネル素子上では p o l y-S i と N i が反応してシリサイド化した時に $N i S i$ 相もしくは $N i S i_2$ 相を主成分として含むような膜厚 t_2 とする。

【0027】

好ましくは、前記 N i の膜厚 $T_{N i}$ と前記 p o l y-S i の膜厚 $T_{S i}$ との比を $T_{N i} / T_{S i} \geq 1.60$ とすることで $N i_3 S i$ 相を主成分として含む前記シリサイド電極を得る。あるいは、前記 N i の膜厚 $T_{N i}$ と前記 p o l y-S i の膜厚 $T_{S i}$ との比を $0.55 \leq T_{N i} / T_{S i} \leq 0.95$ とすることで $N i S i$ 相を主成分として含む前記シリサイド電極を得る。

または、前記 N i の膜厚 $T_{N i}$ と前記 p o l y-S i の膜厚 $T_{S i}$ との比を $0.28 \leq T_{N i} / T_{S i} \leq 0.54$ とし、かつシリサイド化のための熱処理温度を 650℃以上とすることで $N i S i_2$ 相を主成分として含む前記シリサイド電極を得る。

【0028】

さらに好ましくは、前記金属Mもしくは N i を成膜する工程が、nチャネル素子上と pチャネル素子上に膜厚 t_2 を堆積した後、nチャネル素子上にのみ金属Mもしくは N i に対して安定な拡散防止層を形成し、かかる後に膜厚 $t_1 - t_2$ を堆積する、という工程からなる。

【0029】

さらに好ましくは、前記拡散防止層が前記金属Mのシリサイドに対して選択的にエッチングできる。

【0030】

さらに好ましくは、前記拡散防止層が T i N もしくは T a N を主成分とする。

【0031】

さらに好適なのは、前記シリサイド化の熱処理温度が半導体装置の拡散層コンタクト領域に形成されている金属シリサイドの抵抗値を増大させない温度である。

【0032】

本発明に係わる前記別の半導体装置を実現する手段としては、前記ゲート絶縁膜上に p o l y-S i を堆積し、それを所望のゲート寸法に加工する工程と、その上方に N i を成

膜する工程と、それらを熱処理することによって、前記ゲート絶縁膜上のゲート電極全体をN_iシリサイドとする工程と、シリサイド化しなかったN_i金属部分を選択的にエッチング除去する工程とを含み、前記N_iの膜厚T_{Ni}と前記poly-Siの膜厚T_{Si}との比がT_{Ni}/T_{Si}≥1.60となるようにする。

【0033】

なお、本明細書において、「高誘電率」(High-k)とは、一般にゲート絶縁膜として従来用いられていた二酸化ケイ素(SiO₂)の絶縁膜と区別する上の意味において用いられるものであり、これよりも概して誘電率が高いというものであって、その具体的な数値等は特に限定されるものではない。

【発明の効果】

【0034】

本発明によれば、シリサイドをゲート電極に用いることによりゲート電極の空乏化を回避するだけでなく、シリサイドの組成を制御することによりこれまで困難とされていた高誘電率ゲート絶縁膜上における電極の仕事関数を制御することが可能となり、P型MOSFET、N型MOSFETそれぞれに対して適当な組成のシリサイド電極を形成することで、各デバイスに適したしきい値制御が可能になる。その際、シリサイドの組成はシリサイドを構成する主要な結晶相によって自己整合的に決定されるため、プロセスマージンが広くV_tのバラツキを抑えることができる。また、N_iなどの低温シリサイドプロセスが可能な金属を選択すると、ソース・ドレイン拡散領域のコンタクトシリサイド層の高抵抗化を抑制できる。また、本発明による作製方法によれば、ゲート絶縁膜上にpoly-Si電極を形成した後に、再度これを除去する工程がないために、ゲート絶縁膜表面がウェットエチング液や有機溶剤に数度にわたり晒されることがない。このため、信頼性に優れたメタルゲート/高誘電率ゲート絶縁膜CMOSトランジスタを作製することが可能である。

【発明を実施するための最良の形態】

【0035】

以下、本発明を実施形態に基づき詳細に説明する。

【0036】

本発明は、MOSFETの高性能化に必要とされる高誘電率ゲート絶縁膜を用いた場合に、ゲート電極としてN型MOSFETにSiの濃度が高いシリサイド材料を、P型MOSFETに金属の濃度が高いシリサイド材料をそれぞれに用いると、僅かなシリサイドの組成の変化で大幅な仕事関数の変化を得ることができるという新しい発見に基づく。

【0037】

この現象は、HfSiON膜上にpoly-Si電極を形成したときに生じる電極フェルミレベルのピンニング(比較例1において後述する)と関係があり、このような仕事関数の変化はゲート絶縁膜にSiO₂を用いた場合では実現することができない。すなわち、Si濃度が高いシリサイド電極を、例えば高誘電率絶縁膜としてのHfSiON上に形成すると、シリサイド化前のpoly-Si/HfSiON界面で生じるフェルミレベルのピンニングの影響が解消されずに残る。そのために、シリサイド電極の仕事関数がHfSiON上のpoly-Si電極のフェルミレベルのピンニング位置である4.1~4.3eVに近い値となる。一方、シリサイド電極中の金属の濃度が高くなるとフェルミレベルのピンニングが弱まり、ほぼ、シリサイド本来の仕事関数の値(4.8eV)がゲート電極に反映されるようになるのである。

【0038】

さらに、低温でpoly-Siを完全にシリサイド化できる金属を用いることである。具体的には、ソース・ドレイン拡散層コンタクト領域に形成されている金属シリサイドの抵抗値を増大させない温度である350~500℃の範囲であることが望ましい。さらに、これらの温度の範囲でSiの濃度が高い結晶相と金属の濃度が高い結晶相の両方を形成可能な金属を用いることである。このような金属を用いてpoly-Si電極をシリサイド化することにより自己整合的に電極の組成を決定するが可能となりプロセスのバラツキ

を抑えることが可能になる。以上より、シリサイドの金属MとしてNiが好適である。Niを用いることにより450℃以下のアニールでpoly-Siを完全にシリサイド化することが可能であり、Niの供給量を変えるだけで段階的に結晶相の制御することができるからである。Niシリサイドの組成は、前述した理由から、少なくともHfSiONに接する部分、好ましくはHfSiONに接している側の組成が、 Ni_xSi_{1-x} ($0 < x < 1$) で表されるとき、P型MOSFETのゲート電極に用いるNiシリサイドでは $0.6 \leq x < 1$ 、かつN型MOSFETのゲート電極に用いるNiシリサイドでは $0 < x \leq 0.5$ であることが望ましい。さらに望ましくは、HfSiONに接する部分の組成が Ni_xSi_{1-x} ($0 < x < 1$) で表されるとき、P型MOSFETのゲート電極に用いるNiシリサイドでは $0.6 < x < 0.8$ 、かつN型MOSFETのゲート電極に用いるNiシリサイドでは $0.3 < x < 0.55$ であることが望ましい。これはNiの結晶相は、主として、 $NiSi_2$ 、 $NiSi$ 、 Ni_3Si_2 、 Ni_2Si 、 Ni_3Si に分類され、熱履歴によりこれらの混合物も形成可能であるからである。さらに最適値としては、HfSiONに接する部分の組成が Ni_xSi_{1-x} ($0 < x < 1$) で表されるとき、P型MOSFETのゲート電極に用いるNiシリサイドでは $0.7 < x < 0.8$ 、かつN型MOSFETのゲート電極に用いるNiシリサイドでは $0.45 < x < 0.55$ であることが望ましい。すなわち、P型MOSFETのゲート電極に含まれる前記シリサイドが Ni_3Si 相を主成分として含み、N型MOSFETのゲート電極に含まれる前記シリサイドが $NiSi$ 相を主成分として含むNiシリサイド電極となることである。このようなCMOSトランジスタの構造図を図1に示す。

【0039】

上記のように、ソース・ドレイン拡散層コンタクト領域に形成されている金属シリサイドの抵抗値を増大させない温度でシリサイド化が可能であり、かつ、これらの温度の範囲でSiの濃度が高い結晶相と金属の濃度が高い結晶相の両方を形成可能であれば、金属M材料としては、Niに限定するものではなく、Ta、Pt、Co、Ti、Hf、V、Cr、Zr、Nbなどを用いることも可能である。

【0040】

そして、前記ゲート電極の組成を、 M_xSi_{1-x} ($0 < x < 1$) で表される金属Mのシリサイドを主成分とし、さらに、pチャネル上のゲート電極に含まれる前記金属Mのシリサイドでは $x > 0.5$ 、nチャネル上のゲート電極に含まれる金属Mのシリサイドでは $x \leq 0.5$ とするものである。

【0041】

以上の作用を満たす金属シリサイドを用いることで、従来用いられてきたpoly-Siゲート電極の空乏化による、トランジスタのドレイン電流の減少を抑制できるだけでなく、以下のような利点を得ることが可能となる。（1）従来のシリサイド電極では難しかった高誘電率ゲート絶縁膜上における仕事関数制御を実現できる。（2）シリサイド組成がシリサイドの結晶相で制御可能であり、かつシリサイドの結晶相はpoly-Si上に堆積する金属膜の膜厚で制御可能であるため作製条件のマージンが大きく素子の再現性が高い。（3）金属リッチなシリサイドを用いることで仕事関数の変調幅をシリコンのミッドギャップより大きい側に広げることができる。（4）金属リッチなシリサイドを用いることで低温のシリサイド化プロセスを用いることができる。（5）ゲート電極の元素構成を変える必要が無いため、従来のようにゲート絶縁膜上に堆積した膜をエッティング除去する工程が必要なく、ゲート絶縁膜へのダメージが抑制できる。（6）シリサイド作製工程でシリサイドプロセスを用いることができ電極作製工程が簡便になる、等が挙げられる。

【0042】

なお、上記の説明では、ゲート電極の組成や結晶相の深さ方向の分布については言及していないが、MOSFETのVthはゲート絶縁膜とそれに接するゲート電極の組み合いで決定されるため、ゲート電極とゲート絶縁膜の接する部分の構成元素や組成、結晶相が本発明の条件を満たしていれば、ゲート絶縁膜に接していない部分のゲート電極の構成元素や結晶相が異なっていたとしても、あるいはゲート電極が深さ方向に沿った組成変化

を有する場合でも、本発明における効果を得ることができる。

【0043】

以下、本発明の実施形態を、図面を参照して説明する。

【実施例】

【0044】

実施例1

図3 (a) ~ (g)、図4 (h) ~ (j) は本発明の形態に関わるMOSFETの作成工程を示した断面図である。本実施形態は、層間絶縁膜形成後にこれを研磨することにより平坦化すると同時に、ゲート電極上部を露出させることができるCMP (Chemical Mechanical Polishing) 技術を用いてMOSFETを作製する。

【0045】

まず図3 (a) に示すようにシリコン基板1の表面領域にSTI (Shallow Trench Isolation) 技術を用いて素子分離領域2を形成した。続いて、素子分離されたシリコン基板表面にゲート絶縁膜3を形成した。ゲート絶縁膜は、金属酸化物、金属シリケート、金属酸化物もしくは金属シリケートに窒素が導入された高誘電率絶縁膜を用いる。好ましくは、ゲート絶縁膜中の金属がHfもしくはZrである。HfやZrを含む高誘電率絶縁膜は、高温の熱処理に対して安定であるとともに、膜中の固定電荷の少ない膜が得られやすいためである。さらに、高誘電率絶縁膜のゲート電極と接する側に、HfもしくはZrを含む層を有することが好ましい。ゲート電極とこれに接する高誘電率膜の組合せにより、MOSFETのスレッショルド電圧が決定されるためである。この時、シリコン基板とゲート絶縁膜との界面の界面準位を減らし、高誘電率絶縁膜中の固定電荷の影響をより小さくするため、高誘電率絶縁膜とシリコン基板界面にシリコン酸化膜もしくはシリコン酸窒化膜を導入しても良い。さらに好ましくは、HfSiON膜もしくはシリコン酸化膜もしくはシリコン酸窒化膜上のHfSiON膜である。本実施例では、ゲート絶縁膜中のHf濃度が深さ方向で変化していて、ゲート電極とゲート絶縁膜との界面付近におけるHfの濃度が最も高く、シリコン基板とゲート絶縁膜との界面付近はシリコン熱酸化膜の組成となっているHfSiONを用いた。このようなHfSiON膜を得るために、まず、1.9nmのシリコン熱酸化膜を形成した後、0.5nmのHfをロングスロースパッタ法で堆積し、酸素中で500°C 1分、そして窒素中で800°C 30秒の2段階熱処理することによりHfを下地のシリコン酸化膜中へ固相拡散させることによりHfSiON膜を形成した。その後NH₃雰囲気中900°C 10分の窒化アニールを行いHfSiON膜を得た。

【0046】

次に、ゲート絶縁膜上に厚さ40nmのpolysi膜4と厚さ150nmのシリコン酸化膜5からなる積層膜を形成した。この積層膜を、図3 (b) に示すように、リソグラフィー技術およびRIE (Reactive Ion Etching) 技術を用いてゲート電極に加工し、引き続いてイオン注入を行い、エクステンション拡散層領域6をゲート電極をマスクとして自己整合的に形成した。

【0047】

さらに、図3 (c) に示すように、シリコン窒化膜とシリコン酸化膜を順次堆積し、その後エッチバックすることによってゲート側壁7を形成した。この状態で再度イオン注入を行い、活性化アニールを経てソース・ドレイン拡散層8を形成した。

【0048】

次に、図3 (d) に示すように、厚さ20nmの金属膜9をスパッタにより全面に堆積し、サリサイド技術により、ゲート電極及びゲート側壁膜、STIをマスクとして、ソース・ドレイン拡散層のみに厚さ約40nmのシリサイド層10を形成した(図3 (e))。このシリサイド層10はコンタクト抵抗を最も低くすることができるNiモノシリサイド(NiSi)とした。Niシリサイドの代わりにCoシリサイドやTiシリサイドを用いてもよい。

【0049】

さらに、図3 (f) に示すように、CVD (Chemical Vapor Deposition) 法によってシリコン酸化膜の層間絶縁膜11を形成した。この層間絶縁膜11をCMP技術によって図3 (g) に示すように平坦化し、さらに、層間絶縁膜のエッチバックを行うことでゲート電極のpoly-Si4を露出させた。

【0050】

次に図4 (h) に示すように、ゲート電極のpoly-Si4とのシリサイドを形成させる第1金属膜12を堆積した。このとき、金属膜はpoly-Si4とシリサイドを形成可能な金属、例えば、Ni、Pt、Hf、V、Ti、Ta、W、Co、Cr、Zr、Mo、Nbやそれらの合金などから選択できるが、ソース・ドレイン拡散領域8にすでに形成されているシリサイド層10の抵抗値がそれ以上高くならない温度でpoly-Si4を完全にシリサイド化できる金属が好適である。例えば、ソース・ドレイン拡散領域8にNiモノシリサイド(NiSi)層が形成されている場合は、Niダイシリサイド(NiSi₂)化によりソース・ドレイン拡散領域8と配線とのコンタクト抵抗が高くなることを防ぐためにその後のプロセス温度を500℃以下にする必要があり、本実施例では500℃以下でシリサイド化が十分進行するNiを用いた。この工程でのNi膜厚t₂は、poly-SiとNiが十分反応してシリサイド化した時にゲート絶縁膜に接している側の組成がNi_xSi_{1-x} (0 < x ≤ 0.5) となるような膜厚を設定する。好ましくは、シリサイド化反応後のシリサイド膜がNiSi相もしくはNiSi₂相を主成分として含むような膜厚を設定する。NiSi相もしくはNiSi₂相を主成分として含むシリサイドのHfSiON上の仕事関数が4.4～4.5eVに設定できるためである。本実施例では、DCマグнетロンスパッタ法により室温でNiを22nm成膜した。

【0051】

さらに、Niの拡散防止層13を全面に堆積した。拡散防止層13はゲートpoly-Siを完全にシリサイド化する熱処理工程でシリサイド化する金属の拡散を防止でき、かつ自身が安定であるものを選ぶ必要がある。さらに、この拡散防止層13がシリサイド化した金属および層間絶縁膜に対して選択的にエッチングできれば、素子作製工程が簡便になるため好適である。本実施例では20nmのTiNを300℃で反応性スパッタ法にて堆積した。

【0052】

次に、図4 (i) 示すように、リソグラフィー技術とRIE技術を用いてP型MOSFET領域におけるNi膜上のTiN膜のみ除去した。その後、前述したシリサイドを形成させる第1金属膜12と同種の第2金属膜14を全面に形成した。したがって、本実施例ではNi膜を形成した。この工程でのNi膜厚は、拡散防止層13の下に成膜したNi膜厚t₂と合わせて、poly-Si4とNiが十分反応してシリサイド化した時にゲート絶縁膜に接している側の組成がNi_xSi_{1-x} (0.5 < x < 1) となるような膜厚t₁を設定する。好ましくは、シリサイド化反応後のシリサイド膜のゲート絶縁膜に接している側の組成がNi_xSi_{1-x} (0.6 ≤ x < 1) となるような膜厚を設定する。Ni組成がSi組成の2倍以上のNiシリサイドのHfSiON上の仕事関数は4.6eV以上であるためである。さらに好ましくは、シリサイド化反応後のシリサイド膜がNi₃Si相を主成分として含むような膜厚を設定する。Ni₃Si相を主成分として含むシリサイドのHfSiON上の仕事関数は4.8eVであるためである。本実施例では、DCマグネットロンスパッタ法により室温でNiを44nm成膜した。従って、P型MOSFET領域におけるゲート絶縁膜上では合計66nmのNi膜がシリサイド化反応に関与するのに対し、N型MOSFET領域におけるゲート絶縁膜3上では拡散防止層13の下の22nmのNi膜のみがシリサイド化反応に関与する。

【0053】

次に、ゲート絶縁膜上のpoly-Si4と第1金属膜12および第2金属膜14をシリサイド化させるための熱処理を行った。この熱処理は、金属膜の酸化を防ぐため非酸化雰囲気中であることが求められると同時に、ゲート絶縁膜上のpoly-Si4を全

てシリサイドするために十分な拡散速度が得られ、かつソース・ドレイン拡散領域8に形成されているシリサイド層10が高抵抗にならない温度で行う必要がある。本実施例では、ソース・ドレイン拡散領域8に形成されているシリサイドと、ゲート電極上に形成するシリサイドがともにNiであることから、窒素ガス雰囲気中450°C 2分とした。ソース・ドレイン拡散領域8に形成されているシリサイドがCoシリサイドやTiシリサイドであれば、より高温領域、例えば800°C程度まで許容される。この熱処理により、N型MOSFET領域では22nmのNi膜と40nmのpolysiが反応してゲート絶縁膜3直上までシリサイド化し、P型MOSFET領域では66nmのNi膜と40nmのpolysiが反応してゲート絶縁膜3直上までシリサイド化される。P型MOSFET領域では同じ膜厚のpolysi電極4に対して供給できるNiの量が多くなるために、N型MOSFET領域のNiシリサイド電極15よりもNiの濃度が高いNiシリサイド電極16が形成される。本実施例のNi膜厚では、図12に示すようなX線回折(XRD)測定およびラザフォード後方散乱(RBS)測定によると、N型MOSFET領域のNiシリサイド電極15はNiSi単一相でNi/(Ni+Si)組成比は約0.5、P型MOSFET領域のNiシリサイド電極16はNi₃Si相がメインのNiSi相との混合相でNi/(Ni+Si)組成比は約0.75であった。

【0054】

最後に、熱処理においてシリサイド化反応しなかった余剰のNi膜およびTiN膜は硫酸過酸化水素水溶液を用いてウェットエッチング除去した。

【0055】

なお、上記の工程を通して、シリサイド電極の剥離はまったく観察されなかった。

【0056】

以上のような工程を経ることにより、図4(j)に示すような、N型MOSFET領域とP型MOSFET領域で組成比の異なったNiフルシリサイド電極をもつMOSFETを形成した。表1に示すように、Niシリサイドの結晶相はpolysi上に堆積したNi膜の厚さ、すなわち、polysiに供給されるNiの量に対して段階的に決まる。

【0057】

【表1】

表1

		T _{Ni} /T _{Si}			
		0.33	0.67	1.20	1.80
温度(℃)	650	NiSi ₂ +NiSi			
	600	NiSi			
	500	NiSi	NiSi		NiSi+Ni ₃ Si
	450		NiSi		NiSi+Ni ₃ Si
	400		NiSi	NiSi	NiSi+Ni ₃ Si

例えば、N型MOSFET用電極としてNiSi相を用いたい場合は、ゲートpolysi-Siの厚さ(T_{Si})とNi膜(T_{Ni})の比(T_{Ni}/T_{Si})を0.55~0.95の範囲に設定すればよく、P型MOSFET用電極としてNi₃Si相を主成分とするシリサイドを用いたい場合は、T_{Ni}/T_{Si}を1.60以上にすればよいことを見出した。ただし、NiSi₂相を主成分とするシリサイドだけは、Ni膜厚をT_{Ni}/T_{Si}

=0.28~0.54の範囲にしてかつシリサイド化温度を650°C以上にすることが必要である。さらに、Niシリサイドの仕事関数を決定するNi/(Ni+Si)組成は、NiSi₂、NiSi、Ni₂Si、Ni₃Siなどの結晶相によりほぼ自己整合的に決まるため、同じ結晶相を得る（即ち同じ仕事関数を得る）ことが出来るNi膜の堆積膜厚やシリサイド化温度などのプロセス条件のマージンが広く、製造プロセスのバラツキを低く抑えることができる。以上のようにして、Niシリサイドをゲート電極として、N型MOSFET領域とP型MOSFET領域で電極の組成比が異なり、P型MOSFET用Niシリサイド電極のNi濃度がN型MOSFET用電極よりも高い相補型MOSFETを得ることができる。

【0058】

図5は本実施形態を用いてNiシリサイド電極の組成を制御し、ゲート絶縁膜に高誘電率材料であるHfSiON膜を採用したCMOSトランジスタのC-V特性を示したものである。図に示すように、T_{Ni}/T_{Si}の違いに対応してC-Vカーブのフラットバンド電圧がシフトしている。

【0059】

図6はフラットバンド電圧から見積もった仕事関数とNiシリサイド電極の組成比との関係を示したものである。図中の点に対応するNi/(Ni+Si)組成は左からそれぞれNiSi₂、NiSi、Ni₃Si相に対応している。これらの結晶相により自己整合的に決まるNiシリサイド電極の組成比に対応してHfSiON膜上のNiシリサイドの仕事関数が決まっていることがわかる。例えば、NiSi₂では仕事関数は4.4eVとなり、Ni₃Siでは4.8eVとなる。

【0060】

このような仕事関数から予想できるCMOSトランジスタのしきい値電圧（V_{th}）の範囲はチャネル不純物量に対して図7のようになる。すなわち、NiSiあるいはNiSi₂からなるNiシリサイド電極はN型MOSFETに、Ni₃SiからなるNiシリサイド電極はN型MOSFETに適用することができる。

【0061】

図8はNiSiをゲート電極としたN型MOSFETのドレイン電流のゲート電圧依存性を、図9はN型MOSFETの電子移動度を示したものである。これより、NiSiを電極としたN型MOSトランジスタのV_{th}は図7で予想されたV_{th}と同等の値となっている。さらに、トランジスタのキャリア移動度もpolysilicon/SiO₂の組み合わせによるトランジスタと同等の値を得ることができる。

【0062】

以上より本実施例で示したNiSi電極とHfSiONゲート絶縁膜を組み合わせることで優れたトランジスタ特性を得ることができる。

【0063】

比較例1

実施例1に対する比較例として、図2(a)に示すような、ゲート絶縁膜に高誘電率材料を、ゲート電極にpolysiliconを用いた構造を作製した。ゲート絶縁膜形成までは実施例1と同じ工程を用い、polysiliconを堆積後、層間絶縁膜を堆積せずにゲートエッチングを行った。その後実施例1と同じ手法でゲートの側壁を形成し、ソース・ドレインの拡散層形成時にゲート電極のpolysiliconにも不純物を拡散した。注入量は、N型MOSFET用polysilicon電極にはPを3E15(cm⁻²)、P型MOSFET用polysilicon電極にはBを3E15(cm⁻²)とした。活性化後、実施例1と同様のシリサイド工程により、ソース・ドレイン及びpolysiliconゲート電極にNiシリサイドを形成した。この場合のゲート電極上のNiシリサイドはゲート絶縁膜には達していない。

【0064】

図10は作製したP型MOSFETのC-V特性である。ゲート電極にpolysiliconを用いるため電極の空乏化が起こり、反転領域においてEOTで約5オングストローム増

加に相当する容量劣化が生じている。さらに、polycrystalline silicon / 高誘電率ゲート絶縁膜界面欠陥の影響により、電極フェルミレベルのピンニングが電極 / 絶縁膜界面で起こり、トランジスタのしきい値を制御できなくなるといった問題が生じる。図8のフラットバンド電圧から求められる、ゲート絶縁膜にHfSiONを用いた場合のpolycrystalline siliconの仕事関数は、不純物ドープによらず、4.1 ~ 4.3 eV付近に固定されており、P型MOSFETのしきい値V_{th}が-1.0 ~ -0.8 V程度の大きな値になってしまった。

【0065】

比較例2

実施例1に対する比較例として、図2 (b) に示すように、ゲート絶縁膜にシリコン熱酸化膜を、ゲート電極に、ゲート電極の空乏化を回避するためのメタルゲート電極としてNiSiを用いた。ゲート絶縁膜として、3 nmの熱酸化膜を用い、実施例1と同様な手法で図1 (g) の段階まで作製した後、ゲートpolycrystalline siliconに不純物注入と活性化アーチを行なう。注入条件以外は実施例2と同条件で実施した。注入量は、P、Bとも0 ~ 5 E20 (cm⁻³) となるように変化させた。T_{Ni} / T_{Si} = 0.55となるNiを実施例1と同じ方法で堆積した後、450°C 2分でNiシリサイドを形成した。この場合、ゲート電極全体がNiSi相となった。最後にNiの余剰エッチングを行なった。

【0066】

図11にC-V特性から得られたSiO₂上のNiSi電極の仕事関数の不純物ドーズ量依存性を示す。不純物元素とドーズ量を変えることで4.4 ~ 4.7 eVの範囲で仕事関数を変えることが出来ることがわかった。従って、不純物ドープされたNiSi電極を用いることで、電極空乏化を回避することができ、従来技術をほとんど変更することなくV_{th}の制御に優れたメタルゲートCMOSトランジスタを作製することができる。しかしながら、これらの結果はゲート絶縁膜にSiO₂を用いた場合であり、ゲートリーク電流を低減する必要がある低電力動作のCMOSFETには適用できない。

【0067】

この問題を解決するため、上記の構造のゲート絶縁膜を、実施例1で説明したシリコン熱酸化膜上にHfSiONを積層した構造に代えた素子を作製した。図11にC-V特性から得られたHfSiON上のNiSi電極の仕事関数の不純物ドーズ量依存性を示す。ドーズ量によらずNiSi電極の仕事関数は4.5 eVで一定であり、HfSiON上ではNiSi中の不純物による仕事関数の制御が出来ないことがわかった。したがって、polycrystalline silicon / HfSiON界面で生じるフェルミピンニングによるPMOSの高いしきい値を、0.1 V程度しか改善することができず、低電力動作CMOSで要求されるしきい値を達成するには至らない。

【0068】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内において、材料及び構造を選択して実施することができる。

【0069】

例えば、ゲート電極をシリサイド化するための金属元素と、ソース・ドレインのシリサイド化に用いる金属元素の組合せは、実施例1中でも述べたように、ソース・ドレインのシリサイドの変質が起こらない温度範囲でゲートpolycrystalline siliconのシリサイド化を行えるという条件が満たされる必要があるが、低温でのシリサイド化が困難な金属でも長時間の熱処理を行うことでシリサイド化が可能であるというように、それぞれのシリサイド金属元素の組合せに応じて熱処理温度や時間等の条件を調整して、所望の効果を得ることが可能となる。また、例えばゲート上のpolycrystalline siliconをアモルファスSiに置き換える、シリサイド化する金属の成膜温度を調整する等の工夫で、シリサイド化温度を低下させることができ可能であり、これらの技術を必要に応じて併用することで、好適な組合せを実現できる。

【図面の簡単な説明】

【0070】

【図 1】本発明の半導体製造装置の断面図を示したものである。

【図 2】従来例である半導体装置の断面図を示したものである。

【図 3】本発明の実施形態に係わる半導体製造装置の製造工程についての一部を示した断面図である。

【図 4】本発明の実施形態に係わる半導体製造装置の製造工程についての一部を示した断面図である。

【図 5】本発明の実施形態に沿って作製した半導体装置のC-V特性の測定結果を示したものである。

【図 6】本発明の実施形態に沿って作製したNiシリサイド電極の組成に対する仕事関数を示したものである。

【図 7】本発明の実施形態に沿って作製したNiシリサイド電極の仕事関数により実現できるトランジスタのしきい値の範囲を示したものである。

【図 8】本発明の実施形態に沿って作製したN型MOSFETのドレイン電流-ゲート電圧特性の測定結果を示したものである。

【図 9】本発明の実施形態に沿って作製したN型MOSFETの電子移動度の測定結果を示したものである。

【図 10】従来技術であるpoly-Si電極およびHSiONゲート絶縁膜を用いたP型MOSFETのC-V特性の測定結果を示したものである。

【図 11】従来技術として、ゲート電極にNiシリサイドを、ゲート絶縁膜にSiO₂およびHSiONを用いたP型およびN型MOSFETのC-V特性から得た仕事関数に関して、ゲート電極への不純物注入効果を示したものである。

【図 12】本発明に用いるNiシリサイドの各結晶相のX線回折測定結果である。

【符号の説明】

【0071】

- 1 シリコン基板
- 2 素子分離領域
- 3、28 ゲート絶縁膜
- 4 poly-Si膜
- 5 シリコン酸化膜
- 6 エクステンション拡散層領域
- 7、29 ゲート側壁
- 8 ソース・ドレイン拡散層
- 9 金属膜
- 10 シリサイド層
- 11 層間絶縁膜
- 12 第1金属膜
- 13 拡散防止層
- 14 第2金属膜
- 15 NiSi電極
- 16 Ni₃Si電極
- 17 SiO₂
- 18 HfSiON
- 19 Ni_xSi_{1-x} (0 < x ≤ 0.5) ゲート電極
- 20 Ni_xSi_{1-x} (0.6 ≤ x < 1) ゲート電極
- 21 n⁺-poly-Si電極
- 22 p⁺-poly-Si電極
- 23 P ドープ NiSi電極
- 24 B ドープ NiSi電極
- 25 Wシリサイド膜
- 26 W膜

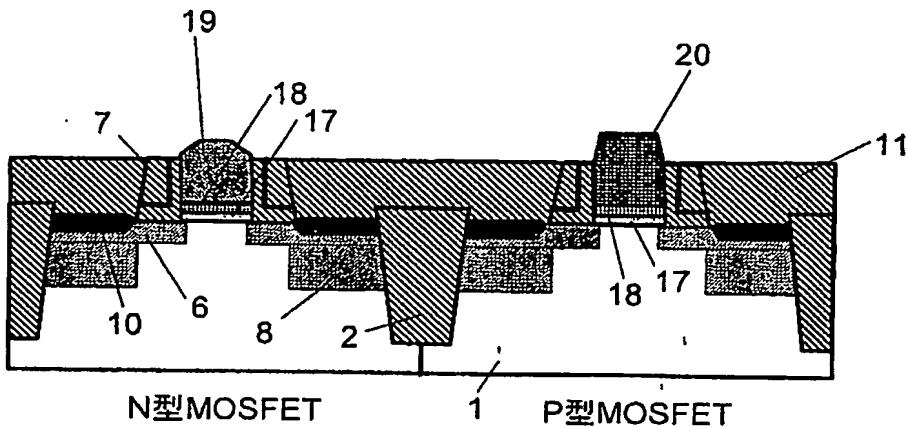
特願2004-184758

ページ： 13/E

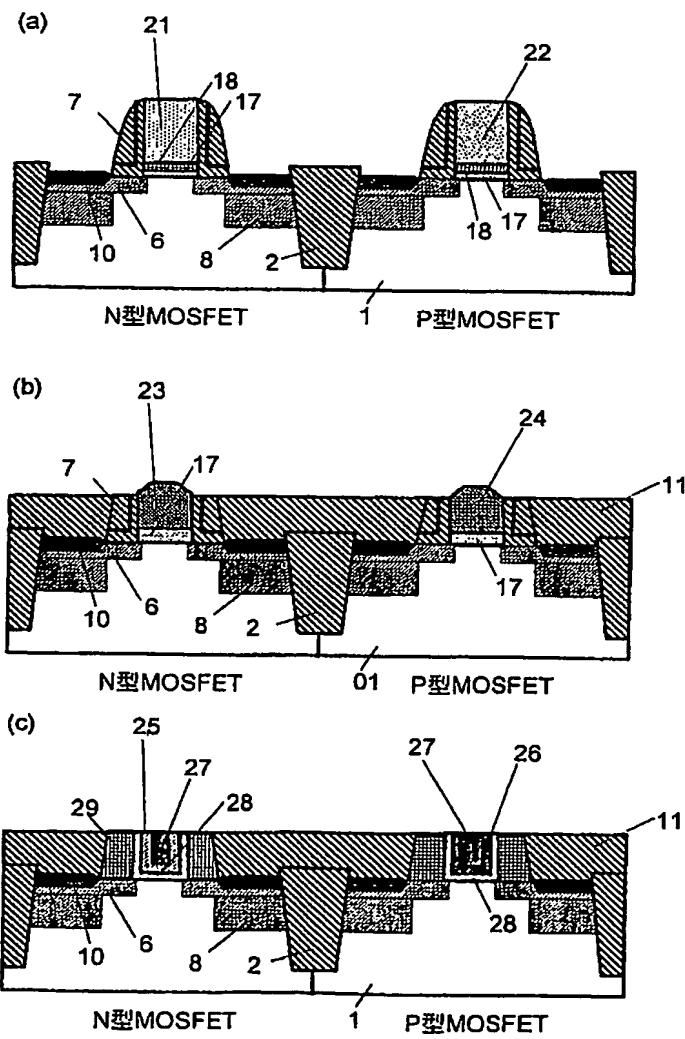
27 W膜

出証特2005-3044536

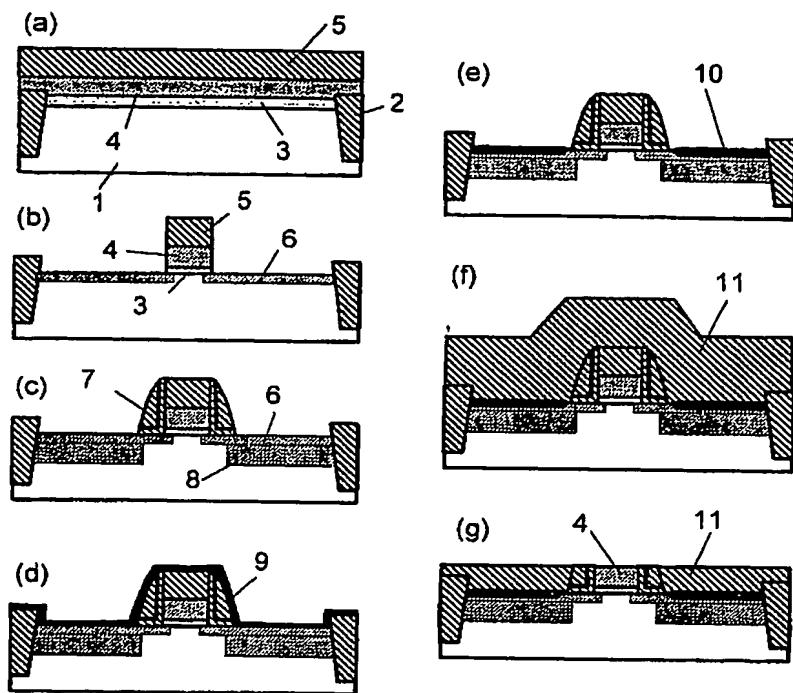
【書類名】 図面
【図 1】



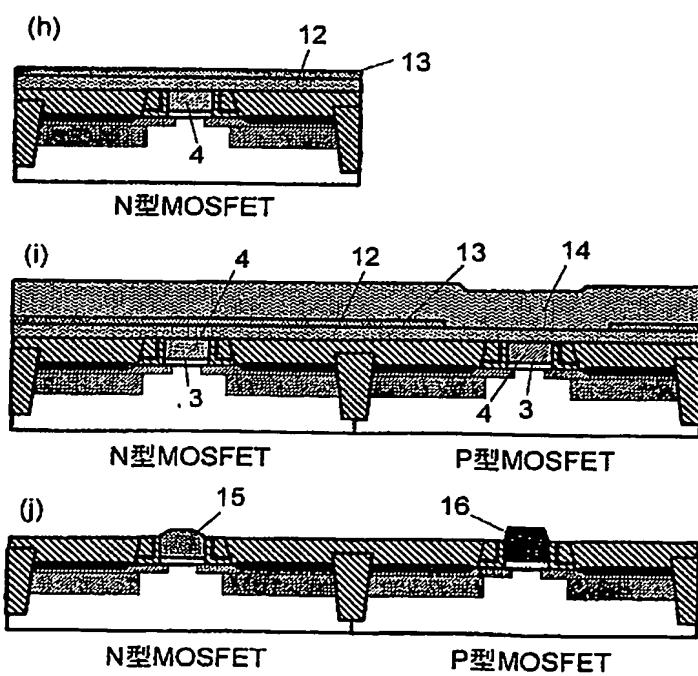
【図 2】



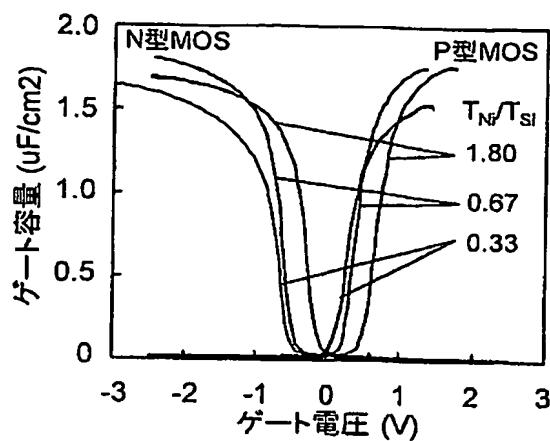
【図 3】



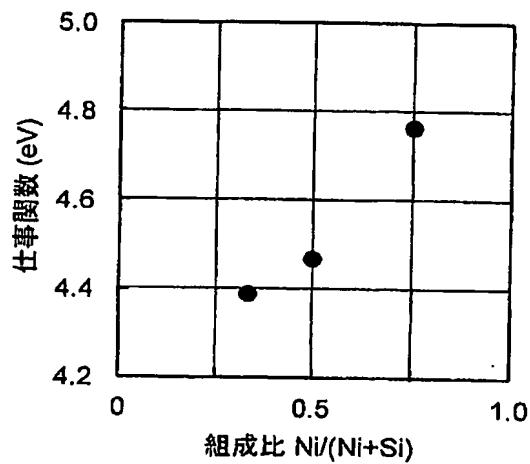
【図 4】



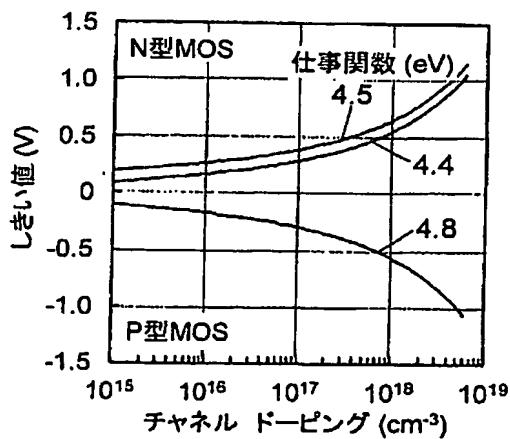
【図 5】



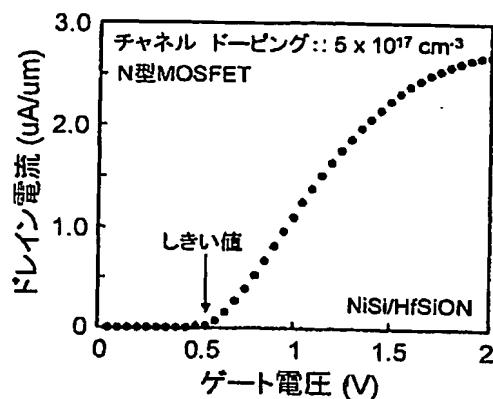
【図 6】



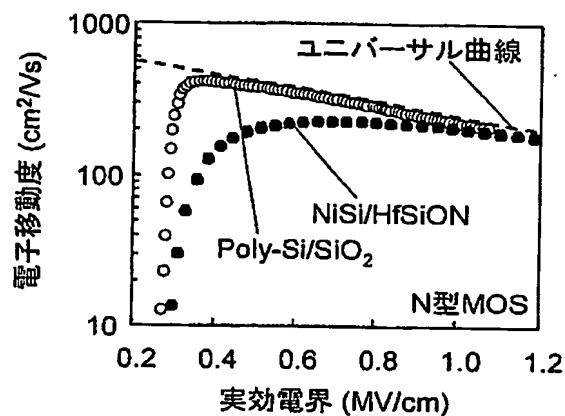
【図 7】



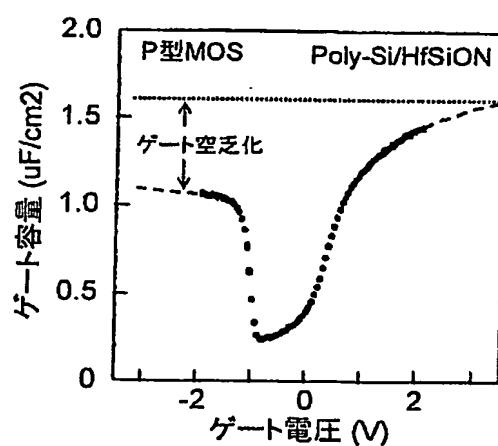
【図8】



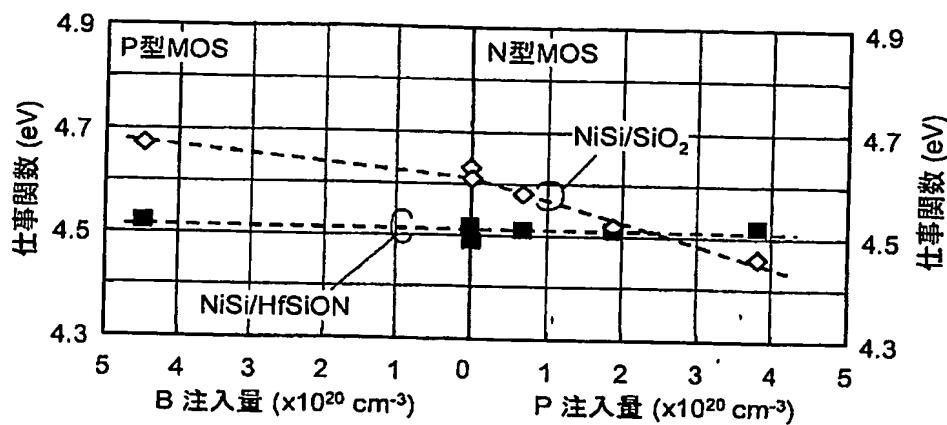
【図9】



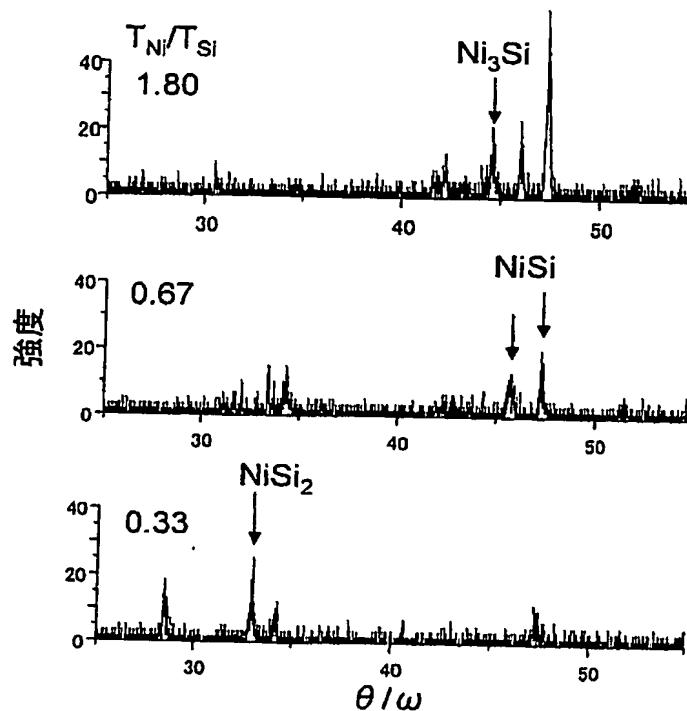
【図10】



【図11】



【図12】



【書類名】要約書

【要約】

【課題】

高誘電率ゲート絶縁膜とメタルゲート電極の組み合わせ技術におけるCMOSトランジスタのしきい値制御の問題を改善し、素子の信頼性を低下させることなく特性を大幅に向上させることが可能な半導体装置を提供する。

【解決手段】

高誘電率材料を用いたゲート絶縁膜と、前記ゲート絶縁膜に接している側の組成が $M_x Si_{1-x}$ ($0 < x < 1$) で表される金属Mのシリサイドを主成分としたゲート電極を備え、P型MOSFETでは前記金属Mのシリサイドが $x > 0.5$ 、N型MOSFETでは金属Mのシリサイドが $x \leq 0.5$ であることを特徴とする半導体装置である。

【選択図】 図1

特願 2004-184758

ページ： 1/E

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住所 東京都港区芝五丁目7番1号

氏名 日本電気株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/011331

International filing date: 21 June 2005 (21.06.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-184758
Filing date: 23 June 2004 (23.06.2004)

Date of receipt at the International Bureau: 22 July 2005 (22.07.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse